

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-268443

(P2001-268443A)

(43) 公開日 平成13年9月28日 (2001.9.28)

(51) Int.Cl.⁷

識別記号

FI

テーマコード(参考)

H04N 5/335

H04N 5/335

E

H01L 27/146

1/028

A

H04N 1/028

H01L 27/14

A

審査請求 未請求 請求項の数6 OL (全6頁)

(21) 出願番号 特願2001-4493(P2001-4493)

(22) 出願日 平成13年1月12日 (2001.1.12)

(31) 優先権主張番号 10435/2000

(32) 優先日 平成12年3月2日 (2000.3.2)

(33) 優先権主張国 韓国 (KR)

(71) 出願人 591024111

株式会社ハイニックスセミコンダクター
大韓民国京畿道利川市夫鉢邑牙美里山136-1

(72) 発明者 李 瑞 圭

大韓民国忠清北道清州市興徳區佳景洞太岩
水精アパート103-604

(72) 発明者 金 恒 圭

大韓民国大邱市東區枝底洞大成ヴィラ105-301

(74) 代理人 100078330

弁理士 笹島 富二雄 (外1名)

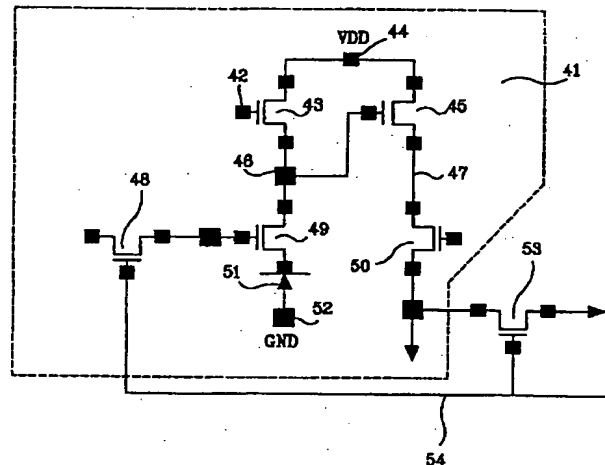
最終頁に続く

(54) 【発明の名称】 CMOSイメージセンサーのアクティブピクセル回路

(57) 【要約】

【課題】 CMOSイメージセンサーのピクセル構造を改良し、CCDの出力特性と同一出力が得られるようにしたCMOSイメージセンサーのアクティブピクセル回路を提供する。

【解決手段】 単位ピクセル41では、第1トランスファトランジスタ48のトランスファ信号により、第2トランスファトランジスタ49はフォトダイオード51の信号電荷を第1フローティングノード46へ移し、ソースフォロアドライバトランジスタ45は第1フローティングノード46の信号電荷によって第2フローティングノード47の電位を変化させ、ラインセレクトトランジスタ50は第2フローティングノード47の電位レベルを読み取り、リセットトランジスタ42は読み取り動作完了後に第1フローティングノード46の信号電荷をリセットする。また、カラムセレクトトランジスタ53がラインセレクトトランジスタ50からの信号を出力する。



1

【特許請求の範囲】

【請求項1】 入射光によって信号電荷を生成するフォトダイオードと、

カラム選択信号によって前記信号電荷のトランスファ信号をスイッチングする第1トランスファトランジスタと、

前記スイッチングされたトランスファ信号によりターンオンされ、前記信号電荷を第1フローティングノードへ移す第2トランスファトランジスタと、

前記第1フローティングノードに蓄積された信号電荷によって第2フローティングノードの電位を変化させるソースフォロアドライバトランジスタと、

ライン選択信号によって前記第2フローティングノードの電位レベルを読み取るラインセレクトトランジスタと、

前記読み取り動作が完了すると、前記第1フローティングノードに蓄積された電荷をリセットするリセットトランジスタと、を含んで単位ピクセルが構成されることを特徴とするCMOSイメージセンサーのアクティブピクセル回路。

【請求項2】 前記ラインセレクトトランジスタによって読み取られた信号を、ゲートに印加されるカラム選択信号によってスイッチングされてセンスアンプに出力するカラムセレクトトランジスタを更に備えることを特徴とする請求項1記載のCMOSイメージセンサーのアクティブピクセル回路。

【請求項3】 カラム選択信号は、前記第1トランスファトランジスタのゲートと前記カラムセレクトトランジスタのゲートとに同時に印加され、信号電荷の移送時間とカラム選択時間とが一致することを特徴とする請求項1記載のCMOSイメージセンサーのアクティブピクセル回路。

【請求項4】 各カラム選択信号の出力区間で、リセット信号とトランスファ信号とが順次にハイ状態を維持することを特徴とする請求項3記載のCMOSイメージセンサーのアクティブピクセル回路。

【請求項5】 リセット信号がハイ状態である場合は、前記第1フローティングノードに蓄積された信号電荷がリセットされ、トランスファ信号がハイ状態である場合は、前記フォトダイオードに蓄積された信号電荷が前記第1フローティングノードへ移送されることを特徴とする請求項4記載のCMOSイメージセンサーのアクティブピクセル回路。

【請求項6】 トランスファ信号がハイ状態を維持する時点から、その次のリセット信号がハイ状態を維持するまでの区間中に信号検出が行われることを特徴とする請求項5記載のCMOSイメージセンサーのアクティブピクセル回路。

【発明の詳細な説明】

【0001】

2

【発明の属する技術分野】本発明はCMOSイメージセンサーに関するもので、特に、ピクセル構造を改良してCCD出力特性と同一の出力が得られるようにしたCMOSイメージセンサーのアクティブピクセル回路に関する。

【0002】

【従来の技術】最近には多くの機能を備えた電子製品が続々と製品化されている。例えば、個人用コンピュータには、CD-ROM (compact disk-read only memory) ドライバやデジタル多機能ディスク (Digital Versatile Disk) プレーヤを備えたり、画像会議のためのカメラを装着したりしているものがある。また、写真を撮り、コンピュータで編集が可能なデジタルカメラも登場しており、ノートブック型コンピュータや携帯電話なども小型のカメラ付きのものが製品化を目前にしている。

【0003】しかし、個人用コンピュータのようにサイズの大きい製品の場合は、カメラが装着されてもそれ程大きな影響を及ぼすわけではないが、ノートブック型コンピュータや携帯電話のような携帯用製品である場合には、カメラの大きさ及び消費電力などが深刻な問題になり得る。特に、映像を撮影して出力できる撮像素子を用いた代表的な製品のビデオカメラの場合に、このような問題がよく生じる。一般的なビデオカメラの場合は、大抵、本体以外に大型の電子部品の取り付けが必要とされ、これはビデオカメラで使用される映像撮像素子である電荷結合素子 (CCD) が多くの電力を消費するからである。

【0004】また、従来、CCDの殆どは、CMOS回路に比べて高電圧 (+15V、-9V) を用いて駆動され、その製造工程は、基本的に、バイポーラトランジスタの製造工程と同様であるが、CMOS工程に比べて工程単価が高いという問題がある。

【0005】このような問題により、低電圧動作が可能であり、且つ、消費電力が少なく、工程単価が低廉であるCMOS工程で撮像素子を実現するためにCMOSイメージセンサーに対する研究及び生産が行われている。

【0006】以下、添付の図面を参照して、従来技術のCMOSイメージセンサーについて説明する。

【0007】図3は、従来のCMOSイメージセンサーの3TRピクセル構造の回路構成図であり、図4は、従来のCMOSイメージセンサーの4TRピクセル構造の回路構成図である。図3は、3TRピクセル構造の回路構成を示すもので、ゲートにリセット信号入力端子2を介してリセット信号が印加され、一方の電極はフローティングノード5に接続され、他方の電極はVDD端子3に接続されるリセットトランジスタ1と、ゲートがフローティングノード5に接続され、一方の電極はVDD端子3に接続されるセレクトトランジスタ4と、ゲートにはロー選択信号入力端子8を介してロー選択信号が入力され、一方の電極が前記セレクトトランジスタ4に直列

3

接続され、他方の電極がカラム選択ライン9に接続されるアクセストランジスタ7と、前記フローティングノード5と接地端子10との間に構成されるフォトダイオード6とから構成されている。

【0008】このような3TRピクセル構造のCMOSイメージセンサーのセンシング動作は次の通りである。

【0009】まず、外部からの入射光によってフォトダイオード6に電荷が蓄積される。蓄積した信号電荷は、リセットトランジスタ1のソース端であるフローティングノード5の電位を変化させ、これにより、ピクセルレベルソースフォロアのドライバであるセレクトトランジスタ4のゲート電位が変化される。前記セレクトトランジスタ4のゲート電位の変化は、セレクトトランジスタ4のソース端又はアクセストランジスタ7のドレインノードのバイアスを変化させる。

【0010】このように信号電荷が蓄積される間、リセットトランジスタ1のソース端とセレクトトランジスタ4のソース端の電位が変化し、この際、アクセストランジスタ7のゲートにロー選択信号入力端子8を介してロー選択信号が入力されると、フォトダイオード6で生成された信号電荷による電位差をカラム選択ライン9の方に出力する。

【0011】このように、フォトダイオード6の電荷生成による信号レベルを検出した後、リセット信号入力端子2を介してリセット信号によってリセットトランジスタ1がオン状態になり、フォトダイオード6に蓄積された信号電荷は全部リセットされる。

【0012】このような3TRピクセル構造のCMOSイメージセンサーのノイズ問題を解決するために構成された4TRピクセル構造のCMOSイメージセンサーの構造は次の通りである。

【0013】図4に示すように、ゲートにリセット信号入力端子22を介してリセット信号が印加され、一方の電極はフローティングノード25に接続され、他方の電極はVDD端子23に接続されるリセットトランジスタ21と、ゲートがフローティングノード25に接続され、一方の電極はVDD端子23に接続されるセレクトトランジスタ24と、ゲートにはロー選択信号入力端子31を介してロー選択信号が入力され、一方の電極は前記セレクトトランジスタ24に直列接続され、他方の電極がカラム選択ライン32に接続されるアクセストランジスタ30と、前記フローティングノード25に一方の電極が接続され、ゲートがトランスファ信号入力端子28に接続されて蓄積電荷の読み出し時に電荷を移送させるトランスファトランジスタ29と、電荷移送時に蓄積電荷を表面の方に集中させるフォトゲート26を含み、前記トランスファトランジスタ29と接地端子33との間に構成されるフォトダイオード27とから構成されている。

【0014】このような4TRピクセル構造のCMOS

4

イメージセンサーのセンシング動作を以下に説明する。

【0015】まず、外部からの入射光によってフォトダイオード27に電荷が蓄積される。蓄積した信号電荷は、フォトゲート26のバイアスがハイレベルに変わる間に、フォトダイオード27の表面の方へ集中し、このとき、トランスファトランジスタ29のゲートにトランスファ信号が入力されてトランスファトランジスタ29がターンオンされると、フローティングノード25へ信号レベルが伝達される。この状態で、もし、リセットトランジスタ21がオフ状態を維持していれば、フローティングノード25に蓄積された信号電荷によってリセットトランジスタ21のソース端であるフローティングノード25の電位が変化され、これにより、セレクトトランジスタ24のゲート電位が変化される。

【0016】セレクトトランジスタ24のゲート電位の変化は、セレクトトランジスタ24のソース端又はアクセストランジスタ30のドレインノードのバイアスを変化させる。このとき、アクセストランジスタ30のゲートにロー選択信号入力端子31を介してロー選択信号が入力されると、フォトダイオード27で生成された信号電荷による電位差をカラム選択ライン32の方に出力するようになる。

【0017】このようにフォトダイオード27の電荷生成による信号レベルを検出した後、リセット信号入力端子22を介してリセット信号によってリセットトランジスタ21がオン状態になり、信号電荷は全部リセットされる。上記過程を繰り返して各々の信号レベルの読み出し及びリセットを行うことで、電位の読み出しをも行う。

【0018】

【発明が解決しようとする課題】しかし、このような従来のCMOSイメージセンサーには次のような問題があった。

【0019】3TRピクセル構造のCMOSイメージセンサーは、フォトダイオード、つまり、受光領域を大きくできるので、開口率を高くすることができるが、ピクセルレベルから発生するノイズを除去するために別の回路を必要とするので、結果的にピクセルサイズが大きくなる。また、フォトダイオードのキャパシタンスが直接的に入力キャパシタンスとして作用するので、感度が落ちるという問題がある。

【0020】また、このような3TRピクセル構造の問題を解決するために構成された4TRピクセル構造のCMOSイメージセンサーは、ノイズをコントロールするためにCCDの技術を利用して電荷移送の効率を高めるので、画質を向上させ、且つ、入力キャパシタンスの小さいフローティングディフュージョンノードを用いて感度を増大させることはできるが、フォトゲートの使用によってブルーレスポンス特性及び開口率が良くない問題がある。

5

【0021】また、フローティングノードによるイメージラグが発生するおそれがある。さらに、フォトゲートを使用することで工程は複雑となる。

【0022】本発明は、上記した従来のCMOSイメージセンサーの問題を解決するためのもので、ピクセル構造を改良して、CCDの出力特性と同一の出力が得られるようにしたCMOSイメージセンサーのアクティブピクセル回路を提供することに目的がある。

【0023】

【課題を解決するための手段】上記目的を達成するための本発明のCMOSイメージセンサーのアクティブピクセル回路は、入射光によって信号電荷を生成するフォトダイオードと、カラム選択信号によって前記信号電荷のトランスファ信号をスイッチングする第1トランスファトランジスタと、前記スイッチングされたトランスファ信号によりターンオンされ、前記信号電荷を第1フローティングノードへ移す第2トランスファトランジスタと、前記第1フローティングノードに蓄積された信号電荷によって第2フローティングノードの電位を変化させるソースフォロアドライバトランジスタと、ライン選択信号によって前記第2フローティングノードの電位レベルを読み取るラインセレクトトランジスタと、前記読み取り動作が完了すると、前記第1フローティングノードに蓄積された電荷をリセットするリセットトランジスタとを含んで単位ピクセルが構成されている。また、前記ラインセレクトトランジスタによって読み取られた信号を、ゲートに印加されるカラム選択信号によってスイッチングされてセンスアンプに出力するカラムセレクトトランジスタを更に備える。ここで、カラム選択信号は、前記第1トランスファトランジスタのゲートと前記カラムセレクトトランジスタのゲートとに同時に印加され、信号電荷の移送時間とカラム選択時間とが一致する。また、各カラム選択信号の出力区間で、リセット信号とトランスファ信号とが順次にハイ状態を維持する。そして、リセット信号がハイ状態である場合は、前記第1フローティングノードに蓄積された信号電荷がリセットされ、トランスファ信号がハイ状態である場合は、前記フォトダイオードに蓄積された信号電荷が前記第1フローティングノードへ移送される。これにより、トランスファ信号がハイ状態を維持する時点から、その次のリセット信号がハイ状態を維持するまでの区間中に信号検出が行われる。

【0024】

【発明の実施の形態】以下、添付の図面を参照して、本発明のCMOSイメージセンサーのアクティブピクセル回路の実施形態について詳細に説明する。

【0025】図1は、本発明によるCMOSイメージセンサーのアクティブピクセル回路の構成図であり、図2は、図1に示すCMOSイメージセンサーのアクティブピクセル回路のピクセル駆動のための動作タイミング図

6

である。

【0026】図1は、CMOSイメージセンサーの単位ピクセルの構造を示しており、このように単位ピクセルを構成して、CCDのチップセットをそのまま使用できるように、CCDと同一特性の出力を有するようにしたものである。

【0027】まず、単位ピクセル41は、ゲートにリセット信号入力端子42を介してリセット信号が印加され、一方の電極はフローティングノード46に接続され、他方の電極はVDD端子44に接続されるリセットトランジスタ43と、ゲートがフローティングノード46に接続され、一方の電極はVDD端子44に接続され、他方の電極は第2フローティングノード47に接続されるソースフォロアドライバ(SFD)トランジスタ(以下「SFDトランジスタ」という)45と、カラム選択信号を供給するカラム選択信号供給ライン54にゲートが接続され、トランスファ信号をスイッチングする第1トランスファトランジスタ48と、前記第1トランスファトランジスタ48の一方の電極にゲートが接続され、蓄積電荷の読み出し時に電荷を移送させる第2トランスファトランジスタ49と、前記第2トランスファトランジスタ49と接地端子52との間に構成され、入射光によって信号電荷を蓄積するフォトダイオード51と、前記第2フローティングノード47に一方の電極が接続され、ゲートにライン選択信号が印加されてラインを選択するラインセレクトトランジスタ50とから構成される。また、CMOSイメージセンサーのアクティブピクセル回路は、同一カラム上に構成される単位ピクセル41に対応して、ゲートにカラム選択信号が印加され、一方の電極が前記ラインセレクトトランジスタ50の他方の電極とソースフォロアノードとに共通に接続され、他方の電極がセンスアンプ(図示せず)に接続されるカラムセレクトトランジスタ53を含む。

【0028】このように構成されたCMOSイメージセンサーのアクティブピクセル回路によるイメージセンシング及び信号出力動作は次の通りである。

【0029】まず、外部からの入射光によってフォトダイオード51に電荷が蓄積される。蓄積した信号電荷は、カラム選択信号によって第1トランスファトランジスタ48がターンオンすると、トランスファ信号がスイッチングされて第2トランスファトランジスタ49のゲートに印加され、第1フローティングノード46に蓄積された電荷による信号レベルが伝達される。この状態で、もし、リセットトランジスタ43がオフ状態を維持していれば、第1フローティングノード46に蓄積された信号電荷によって、リセットトランジスタ43のソース端である第1フローティングノード46の電位が変化されて、これにより、SFDトランジスタ45のゲート電位が変化される。

【0030】SFDトランジスタ45のゲート電位の変

7

化は、SFDトランジスタ45のソース端又はラインセレクトトランジスタ50のドレインノードのバイアスを変化させる。このとき、ラインセレクトトランジスタ50のゲートにライン選択信号が入力されると、フォトダイオード51で生成された信号電荷による電位差をカラムセレクトトランジスタ53の一方の電極に出力し、カラムセレクトトランジスタ53のゲートにカラム選択信号が印加されると、この電位差による信号をセンスアンプの方に出力するようになる。

【0031】このようにフォトダイオード51の電荷生成による信号レベルを検出した後、リセット信号入力端子42を介したリセット信号によってリセットトランジスタ43がオン状態に変わり、信号電荷は全部リセットされる。

【0032】このようなCMOSイメージセンサーのアクティブピクセル回路によるイメージセンシング及び信号出力動作を、図2に基づいて詳細に説明する。

【0033】CCDと同一の信号を出力するために、カラム選択区間ごとに各々のピクセルは、リセットのためのリセット信号RSと、信号電荷の移送のためのトランスファ信号TXとの組合せで、信号電荷の出力動作を行う。図2に示すように、単位ピクセル41によるアレイが $n \times m$ から構成される場合には、1本のライン選択信号LSの周期は、 $m \times CS$ になる。これは、ライン毎にデータを読み取る場合である。ここで、CSはカラム選択信号である。

【0034】カラム選択信号CSは、第1トランスファトランジスタ48のゲートとカラムセレクトトランジスタ53のゲートとに同時に印加され、信号電荷の移送時間はカラム選択時間と同一である。

【0035】このような本実施形態によるCMOSイメージセンサーのアクティブピクセル回路は、ピクセル単位で、リセット動作と信号電荷の移送が、カラム選択信号CSの出力区間で順次行われる。また、CCDと同一の出力特性を得るために、各カラム選択信号CSの出力区間で、リセット信号RSとトランスファ信号TXは、ハイ状態を維持すべきである。

【0036】リセット信号RSがハイを維持するとき、第1フローティングノード46に蓄積された信号電荷がリセットされることを意味し、トランスファ信号TXがハイを維持するときは、フォトダイオード51に蓄積された信号電荷が第1フローティングノード46へ移送されることを意味する。従って、トランスファ信号TXがハイを維持する時点から、その次のリセット信号RSがハイを維持するまでの区間中に信号検出が行われる。図2のB部分は、これを示すものである。

【0037】第1フローティングノード46の電位は、リセット信号RSがハイからローに遷移した後からトランスファ信号TXがハイを維持する前までの電位であって、図2のA部分である。前記A部分とB部分との電位

8

差を除去することで、ピクセルレベルノイズを除去するCDS (Correlated Double Sampling) の実現が可能となる。このように、本実施形態のCMOSイメージセンサーのアクティブピクセル回路では、第1、2トランスファトランジスタ48、49を用いることで、ピクセル単位のフォトダイオード51から第1フローティングノード46への電荷の移送が可能である。

【0038】

【発明の効果】以上のような本発明のCMOSイメージセンサーのアクティブピクセル回路には、次のような効果がある。

【0039】請求項1、2によれば、CCDと同一の出力特性を有しているため、従来の3TR又は4TRのCMOSイメージセンサーに比べて画質を向上させる効果がある。また、第1トランスファトランジスタに印加されるカラム選択信号によって選択的にトランスファ信号がスイッチングされることでピクセルが選択され、各ピクセル単位でフォトダイオードから第1フローティングノードへ電荷の移送が行われるようにする効果がある。請求項3、4、5、6によれば、CCDと同一の信号を出力することができ、既存のCCDチップセットをそのまま利用できるため、システム適用性が高い。また他の効果として、低電圧動作を行うCMOSを使用することで、画質はCCD水準まで実現されるため、機器の高品質化、小型化及び低電力化に有利である。

【図面の簡単な説明】

【図1】 本発明によるCMOSイメージセンサーのアクティブピクセル回路の一実施形態の構成図。

【図2】 図1のCMOSイメージセンサーのアクティブピクセル回路のピクセル駆動のための動作タイミング図。

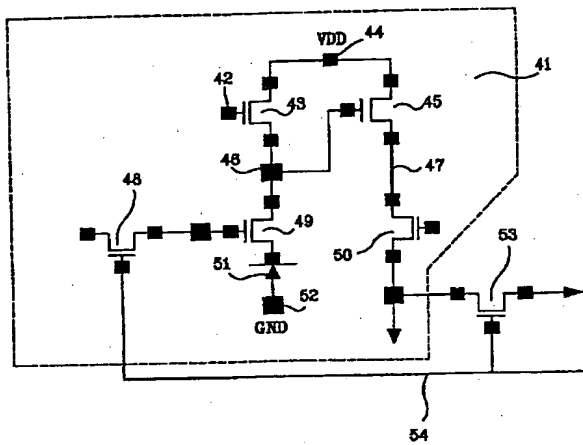
【図3】 従来のCMOSイメージセンサーの3TRピクセル回路の構成図。

【図4】 従来のCMOSイメージセンサーの4TRピクセル回路の構成図。

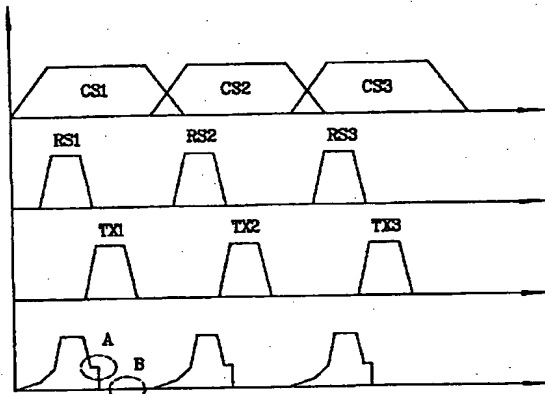
【符号の説明】

- 41：単位ピクセル
- 42：リセット信号入力端子
- 43：リセットトランジスタ
- 44：VDD端子
- 45：SFDトランジスタ
- 46：第1フローティングノード
- 47：第2フローティングノード
- 48：第1トランスファトランジスタ
- 49：第2トランスファトランジスタ
- 50：ラインセレクトトランジスタ
- 51：フォトダイオード
- 52：接地端子
- 53：カラムセレクトトランジスタ
- 54：カラム選択信号供給ライン

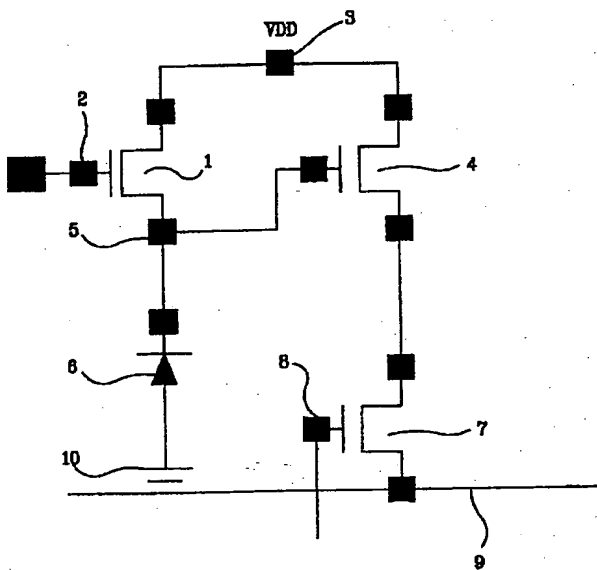
【図1】



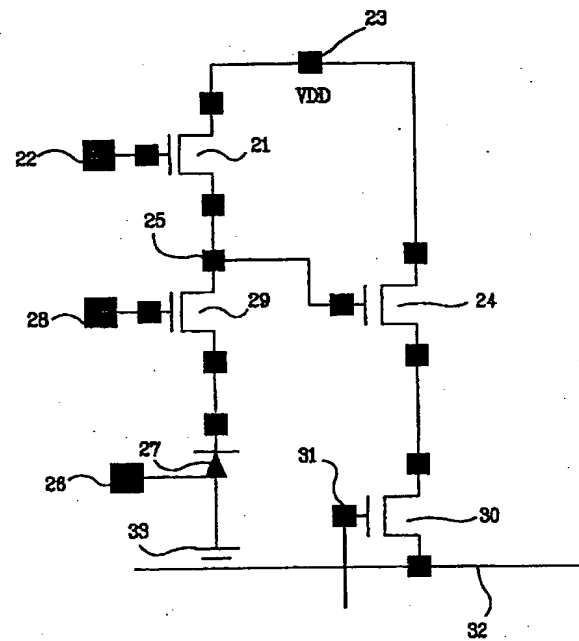
【図2】



【図3】



【図4】



フロントページの続き

(72) 発明者 中正 淳
大韓民国京畿道軍浦市山本洞壯美アパート
1133-202